

**19 BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

**Patentschrift**  
**DE 41 07 172 C 2**

(51) Int. Cl.<sup>8</sup>:  
**G01 R 31/28**  
G01 R 31/3187

②①	Aktenzeichen:	P 41 07 172.7-35
②②	Anmeldetag:	6. 3. 91
②③	Offenlegungstag:	10. 9. 92
②④	Veröffentlichungstag der Patenterteilung:	7. 8. 97

**DE 41 07 172 C 2**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:

Siemens AG, 80333 München, DE.

⑦2 Erfinder:

Hölzle, Josef, Dipl.-Ing., 88825 Bad Wörishofen, DE

⑤⑤ Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

EP 01 86 575 A2  
 SHAH, A. et al.: Integrierte Schaltungen in digitalen Systemen, Bd. 1, S. 329-331, Birkhäuser Verlag Basel und Stuttgart 1977;  
 MAUNDER, C.M.: the status of IC design-for-testability, IN: Journal of Semicustom ICs, Bd. 6, No. 4, 1989, S. 25-29;

## 54 Schaltungsanordnung zum Testen integrierter digitaler Schaltungen

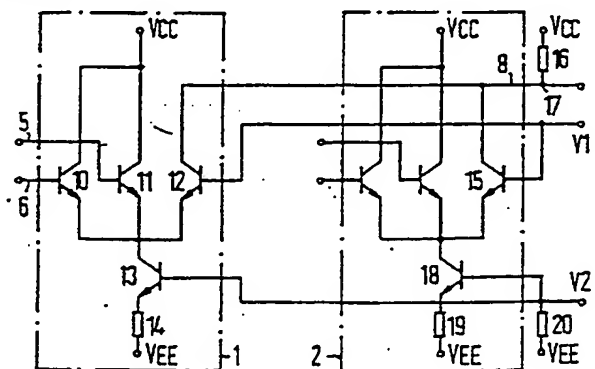
(57) Testschaltung, die als Multiplexeranordnung ausgeführt ist, zum Testen von Funktionseinheiten in digitalen integrierten Schaltungen, dadurch gekennzeichnet, daß

(a) eine Vielzahl von Auswahlrichtungen (1, 2, 3) vorhanden ist, von denen jede derart ausgeführt ist, daß

- ein erster, ein zweiter und ein dritter Transistor (10, 11, 12) an ihren Emittlern gekoppelt sind und über die Kollektor-Emitter-Strecke eines weiteren Transistors (13) und einen emitterseitigen Widerstand (14) mit einem Anschluß für eine erste Versorgungsspannungsquelle (VEE) verbunden sind,
- die Kollektoren des ersten und zweiten Transistors (10, 11) mit einem Anschluß für eine zweite Versorgungsspannungsquelle (VCC) verbunden sind und die Basisanschlüsse der ersten und zweiten Transistoren (10, 11) jeweils Anschlüsse für ein Auswahlsignal (6) und ein zu prüfendes Signal (5) sind,

(b) bei jeder der Auswahlrichtungen die Basisanschlüsse der dritten Transistoren (12, 15) mit einem Anschluß für eine dritte Versorgungsspannungsquelle (V1) und die Basisanschlüsse der weiteren Transistoren (13, 18) mit einem Anschluß für eine vierte Versorgungsspannungsquelle (V2) verbunden sind,

(c) die Kollektoren der dritten Transistoren (12, 15) jeder der Auswahlrichtungen miteinander verbunden sind und über einen Widerstand (18) mit dem Anschluß für die zweite Versorgungsspannungsquelle (VCC) verbunden sind.



**DE 41 07 172 C 2**

Die Erfindung betrifft eine Testschaltung, die als Multiplexeranordnung ausgeführt ist, zum Testen von Funktionseinheiten in digitalen integrierten Schaltungen.

Während der Entwurfsphase integrierter digitaler Schaltungen wird das logische Verhalten der Schaltung mit Hilfe von Softwareprogrammen simuliert. Es wird überprüft, ob die aus logischen Grundelementen, wie z. B. UND- oder ODER-Schaltstufen, Zählern, bistabilen Kippstufen aufgebaute Schaltung das gewünschte logische Ergebnis liefert.

Die auf diese Weise gefundene Schaltungsanordnung wird nun als integrierte Schaltung hergestellt. Dabei wird jede einzelne integrierte Schaltung auf ihre Funktionsfähigkeit hin getestet, um Produktionsfehler soweit wie möglich zu erkennen. Dieser Test wird so durchgeführt, daß die Schaltung mit einem Testautomaten verbunden wird, der eine bestimmte Folge von Testsignalen an die Eingänge der integrierten Schaltung anlegt und die Antwort der Schaltung auf diese Testsignale mit dem vorausberechneten Ergebnis vergleicht, das sich bei korrekter Funktionsweise ergeben würde.

Das Problem bei der Bestimmung der Testsignale besteht darin, daß Funktionseinheiten im Inneren des IC's meist nicht direkt mit den Eingangssignalanschlüssen verbunden sind. Diese bleiben dann entweder praktisch untestbar, oder die Folge der Testsignale wird recht lang und deren Einstellung für den Entwicklungsingenieur zunehmend schwieriger.

Durch einen prüffreundlichen Entwurf der integrierten Schaltung, d. h. unter Hinzufügung von weiterem Schaltungsaufwand, wurde eine Anzahl von Regeln für den Entwurf integrierter digitaler Schaltungen begründet, die deren Testbarkeit auch bei größeren Schaltungskomplexitäten gewährleisten soll. Zu den wichtigsten Regeln für einen prüffreundlichen Schaltungsentwurf zählen:

- Rücksetzen der Speicherelemente auf einen definierten Anfangszustand,
- Herausführen von für den Test wichtigen Signalen im Inneren der Schaltung direkt an den Ausgang und
- Einführen von Multiplexern, die Signalfade von Normal- auf Testbetrieb umschalten; um z. B. einzelne Funktionsblöcke zu isolieren und direkt mit den Signaleingangs- und Signalausgangsanschlüssen des Bausteins zu verbinden.

Weiterhin wurde die Scan Path-Methode entwickelt, um größere synchron arbeitende digitale Schaltungen systematisch zu testen.

Diese Testmethode ist z. B. in der Literaturstelle "The Status of IC Design-for-Testability" von C.M. Maunder, erschienen im Journal of Semicustom ICs Band 6, No. 4, 1989, Fig. 2 beschrieben. Hier wird von dem allgemein bekannten Blockschaltbild für obengenannte Schaltwerke ausgegangen, bei dem taktgesteuerte Flip-Flops über eine kombinatorische Logik miteinander verbunden sind. Am Eingang jedes Flip-Flops ist ein 2:1-Multiplexer vorgesehen, mit dem zwischen zwei Signalen am Dateneingang des Flip-Flops umgeschaltet werden kann: Im Normalbetrieb ist dies ein Datensignal, das aus der kombinatorischen Logik kommt. Im Testbetrieb wird der Dateneingang eines Flip-Flops mit dem Datenausgang eines benachbarten Flip-Flops verbunden. Die Speicherelemente werden also im Testbetrieb zu einem

Schieberegister verbunden. Ein Eingang des Multiplexers des ersten Flip-Flops und der Ausgang des letzten Flip-Flops des Schieberegisters werden an einen Anschluß der integrierten Schaltung gelegt. Die Steuereingänge der Multiplexer sind ebenfalls gemeinsam über einen Eingangssignalanschluß von außen zugänglich.

Die integrierte Schaltung wird nun folgendermaßen getestet: Über den Steuersignaleingang der Multiplexer werden die Flip-Flops als Schieberegister geschaltet. Dann wird über den Eingang des ersten Multiplexers eine Testsignalfolge in das Schieberegister eingelesen. Anschließend werden die Multiplexer so eingestellt, daß die Schaltung im Normalbetrieb arbeitet und somit die Antwort der kombinatorischen Logik auf die zuvor eingelesene Testsignalfolge in den Flip-Flops gespeichert wird. Beim nächsten Schritt wird wieder auf Schieberegisterbetrieb umgestellt und der Inhalt ausgelesen. Dieser Vorgang wird für alle Testsignalfolgen wiederholt. Bei der Scan Path-Testmethode kann also die Funktion der kombinatorischen Logik nur über die Datenaus- bzw. Dateneingänge der Flip-Flops getestet werden. Es ist also insbesondere nicht möglich, etwaige für den Schaltungstest wichtige Signale im Inneren der kombinatorischen Logik direkt zu testen.

Die beschriebene Scan Path-Methode benötigt einen erhöhten Schaltungsaufwand. Er besteht in der Verwendung zusätzlicher Multiplexer am Dateneingang des Flip-Flops. Diese verlängern die Signallaufzeiten und erhöhen den Flächenverbrauch.

Eine gattungsgemäße Schaltungsanordnung ist bereits aus der EP 0 166 575 A2 bekannt. Dort werden einer Anzahl von UND-Schaltgliedern jeweils ein zu prüfendes Signal und Adreß-Signale zugeführt. Die Ausgänge der UND-Schaltglieder werden in einem ODER-Schaltglied verknüpft. Es wird allerdings nur das logische Schaltbild der Multiplexeranordnung aus den UND-Schaltgliedern und dem ODER-Schaltglied gezeigt. Es findet sich kein Hinweis auf eine schaltungstechnische Realisierung der Anordnung. Es wäre äußerst aufwendig, das in der EP 0 166 575 A2 gezeigte ODER-Schaltglied in bipolarer Stromschaltertechnik zu realisieren: Das ODER-Schaltglied würde so viele parallel geschaltete Eingangstristoren in einem Stromschalter benötigen, wie UND-Schaltglieder vorhanden sind. Für die UND-Schaltglieder wären so viele mit ihren Kollektor-Emitter-Strecken in Reihe geschaltete Eingangstristoren notwendig, wie Adreß-Signale und zu prüfende Signale bei jedem UND-Schaltglied vorhanden sind. Zur Vermeidung der Sättigung der Eingangstristoren wären zusätzlich Schaltungen zur Pegelverschiebung notwendig.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zum Testen integrierter digitaler Schaltungen bereitzustellen, die mit verhältnismäßig geringem Schaltungsaufwand in bipolarer Stromschaltertechnik realisiert werden kann.

Gemäß der Erfindung wird diese Aufgabe dadurch gelöst, daß eine Vielzahl von Auswahleinrichtungen vorhanden ist, von denen jede derart ausgeführt ist, daß ein erster, ein zweiter und ein dritter Transistor an ihren Emittern gekoppelt sind und über die Kollektor-Emitter-Strecke eines weiteren Transistors und einen emitterseitigen Widerstand mit einem Anschluß für eine erste Versorgungsspannungsquelle verbunden sind; die Kollektoren des ersten und zweiten Transistors mit einem Anschluß für eine zweite Versorgungsspannungsquelle verbunden sind und die Basisanschlüsse der ersten und zweiten Transistoren jeweils Anschlüsse für

ein Auswahlsignal und ein zu prüfendes Signal sind; bei jeder der Auswahlrichtungen die Basisanschlüsse der dritten Transistoren mit einem Anschluß für eine dritte Versorgungsspannungsquelle und die Basisanschlüsse der weiteren Transistoren mit einem Anschluß für eine vierte Versorgungsspannungsquelle verbunden sind; die Kollektoren der dritten Transistoren jeder der Auswahlrichtungen miteinander verbunden sind und über einen Widerstand mit dem Anschluß für die zweite Versorgungsspannungsquelle verbunden sind.

Ausführungsbeispiele der Erfindung sind in den Fig. 1 bis 3 dargestellt. Es zeigen

Fig. 1 die aus UND- oder ODER-Schaltgliedern aufgebaute Schaltung zum Prüfen von Signalen,

Fig. 2 die Realisierung dieser Schaltung in Stromschaltertechnik,

Fig. 3 ein Ausführungsbeispiel zum Rücksetzen von Flip-Flops.

In Fig. 1 wird das Schaltungsprinzip der Testschaltung unter Verwendung von UND- und ODER-Schaltgliedern gezeigt. Die Ausgänge mehrerer ODER-Schaltglieder mit mindestens zwei Eingängen sind mit den Eingängen eines UND-Schaltgliedes 4 verbunden. Ein Eingang jeweils eines ODER-Schaltgliedes wird mit einem zu prüfenden Signalanschluß verbunden, ein weiterer Eingang wird mit einem Auswahlsignalanschluß verbunden. Der Ausgang 8 des UND-Schaltgliedes stellt den Ausgang dieser gesamten Testschaltung dar und kann an einen Ausgangssignalanschluß der Halbleiterschaltung geführt werden.

Die Schaltung arbeitet in folgender Weise: Beispielsweise liege die Auswahlsignalleitung 6 auf L-Potential, alle anderen Auswahlsignalleitungen haben den Wert H. Somit nimmt der Ausgang 7 des ODER-Schaltgliedes 1 den Wert H an, wenn das zu prüfende Signal am Anschluß 5 H ist, und den Wert L an, wenn der Anschluß 5 auf L liegt. Die Ausgänge aller anderen ODER-Schaltglieder liegen auf H. In entsprechender Weise stellt sich am Ausgang 8 des UND-Schaltgliedes 4 der logische Wert des Prüfsignals des Anschlusses 5 ein. Es erscheint also am Ausgang 8 der Testschaltung der Wert genau jenes zu prüfenden Signals, dessen zugehöriges Auswahlsignal auf L-Potential liegt.

Die Prüfsignalanschlüsse können mit beliebigen Signalanschlüssen innerhalb der integrierten Schaltung verbunden werden. Die Auswahlsignale können je nach Anwendungsfall auf unterschiedliche Weise erzeugt werden. Falls die integrierte Halbleiterschaltung noch entsprechender Platz für Eingangssignalanschlüsse bietet, können die Auswahlsignale von außen angelegt werden, also z. B. vom Testautomaten erzeugt werden. Es ist weiterhin denkbar, einen Zähler mit entsprechender Logikbeschaltung auf der integrierten Halbleiterschaltung vorzusehen, der die Auswahlsignale erzeugt. Dieser Zähler kann mit weiteren derartigen Testschaltungen verbunden werden, die dann parallel arbeiten. Er braucht nicht nur ausschließlich zum Testzwecke verwendet werden, sondern kann auch Teil der zu testenden Schaltung selbst sein.

Ebenso wie die eingangs angeführte Scan Path-Testmethode ist die Testschaltung aus Fig. 1 in allen Schaltkreistechnologien anwendbar. Allerdings in bipolarer Stromschaltertechnik, wie ECL-(Emitter Coupled Logic) oder CML-(Current Mode Logic) Schaltungstechnik stellt sich das Problem der Verlustleistung. Die für den Schaltungstest zusätzlich benötigten Multiplexer im Scan Path-Verfahren sind stets aktiv, d. h. auch im Normalbetrieb der Schaltung. Die abzuführende Verlustlei-

stung, die in der Regel einen für die Schaltung sehr kritischen Wert darstellt, wird erhöht. Bei Realisierung der prinzipiellen Testschaltung aus Fig. 1 in Stromschaltertechnik ergibt sich eine Testschaltung, die während des Normalbetriebes der Schaltung abgeschaltet werden kann und keine Verlustleistung verbraucht.

Einen Aufbau der anhand von Fig. 1 beschriebenen Testschaltung in Stromschaltertechnik zeigt Fig. 2. Zur besseren Übersichtlichkeit werden nur zwei ODER-Schaltglieder 1, 2 verwendet. Das ODER-Schaltglied 1 ist in folgender Weise aufgebaut: Die Emitter von drei emittergekoppelten Transistoren 10, 11, 12 werden mit dem Kollektor eines weiteren vierten Transistors 13 verbunden, dessen Emitter über einen Widerstand 14 an einen Anschluß einer ersten Versorgungsspannungsquelle VEE angeschlossen ist. Die Kollektoren von zwei der emittergekoppelten Transistoren 10, 11 sind mit einem zweiten Versorgungspotential VCC verbunden. Ihre Basisanschlüsse stellen jeweils den Auswahlsignal- und Prüfsignalanschluß 6, 5 des ODER-Schaltgliedes 1 dar. Das weitere ODER-Schaltglied 2 ist derart parallel geschaltet, daß die Kollektoren der jeweils dritten emittergekoppelten Transistoren 12, 15 eines ODER-Schaltgliedes miteinander verbunden sind und über einen Widerstand 16 an einen Anschluß der zweiten Versorgungsspannungsquelle VCC angeschlossen sind. Am Verbindungspunkt 17 liegt das Ausgangssignal 8 an. Weiterhin sind die Basisanschlüsse der dritten Transistoren 12, 15 eines jeden ODER-Schaltgliedes gemeinsam an ein drittes Versorgungspotential V1 angeschlossen. Die Basisanschlüsse der vierten Transistoren 13, 18 sind ebenfalls gemeinsam an ein weiteres viertes Versorgungspotential V2 und gemeinsam über einen Widerstand 20 an einen Anschluß der ersten Versorgungsspannungsquelle VEE angeschlossen.

Die Transistoren 13, 18 bilden zusammen mit den emitterseitigen Widerständen 14, 19 jeweils eine Stromquelle. Nur während des Tests der integrierten Halbleiterschaltung wird die vierte Versorgungsspannungsquelle V2 eingeschaltet, so daß die Transistoren 13, 18 leitend sind. Im Normalbetrieb der zu testenden Schaltung ist die vierte Versorgungsspannungsquelle V2 abgeschaltet und die Basisanschlüsse der vierten Transistoren 13, 18 sind über den Widerstand 20 mit der ersten Versorgungsspannung VEE verbunden und somit gesperrt. Der Verlustleistungsverbrauch der Schaltung in Fig. 2 bleibt auf die Testdauer beschränkt.

Im folgenden soll nun das Signal, das am Anschluß 5 anliegt, getestet werden, d. h. der logische Wert des Signals am Anschluß 5 soll am Ausgang 8 erscheinen. Der Ausgang 8 ist üblicherweise mit einem Testautomaten verbunden und wird dort mit dem Wert verglichen, den man für die korrekte Funktionsweise der zu testenden Schaltung vorausberechnet hat. Eine Auswahllogik, wie sie im Zusammenhang mit Fig. 1 beschrieben wurde, legt ein L-Potential an den Signaleingang 6, und sperrt den Transistor 10. Wenn das zu prüfende Signal am Anschluß 5 ebenfalls L ist, wird der Transistor 11 gesperrt. Dann leitet der Transistor 12 und ruft am Widerstand 16 einen Spannungsabfall hervor, so daß der Ausgang 8 entsprechend dem zu prüfenden Signal am Anschluß 5 ebenfalls L wird. Hat das zu prüfende Signal H-Potential, so wird der Transistor 11 leitend. Dies hat zur Folge, daß der Transistor 12 sperrt und der Ausgang 8 auf dem H-Potential VCC liegt. Gemäß den Ausführungen zu Fig. 1 liegt der Auswahlsignalpegel des weiteren ODER-Schaltgliedes 2 auf H-Potential, so daß dessen Transistor 15 gesperrt ist. Deshalb wird vom

ODER-Schaltglied 2 kein Spannungsabfall am Widerstand 16 hervorgerufen. Die logische Funktion, die zwischen den Signalen an den Kollektoren der Transistoren 12, 15 und dem Ausgang 8 gebildet wird, ist eine UND-Funktion. Sie kommt dadurch zustande, daß die Kollektoren dieser Transistoren verbunden werden und über einen Widerstand an die Versorgungsspannung VCC gelegt werden. Diese Schaltung wird üblicherweise als WIRED-AND-Schaltung bezeichnet.

Im Vergleich zur Scan Path-Methode benötigt die Testschaltung in Fig. 2 weniger Transistoren pro zu testendem Signal: Zur Realisierung eines ODER-Schaltgliedes werden vier Transistoren und ein Widerstand verwendet. Der Schaltungsaufwand pro zu prüfendem Signal für das WIRED-AND-Schaltglied, nämlich die Widerstände 16 und 20, ist vernachlässigbar gering, wenn beispielsweise 64 ODER-Schaltglieder zum WIRED-AND-Schaltglied verbunden werden. Ebenso fällt der Aufwand für die Steuerlogik, die z. B. durch einen Zähler realisiert sein soll, mit ca. einem Transistor pro prüfendem Signal recht gering aus, wenn z. B. zwanzig Testschaltungen aus Fig. 1 parallel mit einer Steuerlogik verbunden sind. Im Vergleich zur Scan Path-Methode, die pro zu prüfendem Signal einen Multiplexer mit ca. zehn Transistoren benötigt, wird ungefähr nur die Hälfte der Transistoren pro zu prüfendem Signal verwendet.

Beim Test von integrierten Digitalschaltungen tritt oft das Problem auf, zu einem bestimmten Zeitpunkt bistabile Kippstufen auf einen definierten logischen Wert, beispielsweise auf L-Potential zu setzen. Fig. 3 zeigt hierzu ein weiteres Ausführungsbeispiel. Die zu prüfende integrierte Digitalschaltung sei in CML-(Current Mode-Logic) Schaltungstechnik aufgebaut und enthalte eine bistabile Kippstufe. Der Inverter 31 stellt das Schaltelement am Eingang der bistabilen Kippstufe dar, der Inverter 30 gehöre beispielsweise zum Ausgang einer Funktionseinheit, die der bistabilen Kippstufe vorgeschaltet ist. Der Kollektor des Transistors 37 des ODER-Schaltgliedes 3 ist nun statt mit der WIRED-AND-Schaltung aus Fig. 2 mit dem Eingang 33 der bistabilen Kippstufe verbunden. Die Basisanschlüsse der Transistoren 35 und 36 sind miteinander verbunden und bilden den Auswahlsignaleingang 39 des ODER-Schaltgliedes 3. Weiterhin sind die Basisanschlüsse der Transistoren 37, 38 wie in Fig. 2 beschrieben mit den anderen ODER-Schaltgliedern 2, 3 verbunden. Durch einen L-Pegel des Auswahlsignals am Eingang 39 werden die Transistoren 35, 36 gesperrt, der Transistor 37 wird leitend. Dies bewirkt einen Spannungsabfall am Widerstand 34 des Inverters 30 und legt den Eingang 33 der bistabilen Kippstufe auf L-Potential. Somit wird eine in das Flip-Flop integrierte Rücksetzlogik, soweit sie nur für den Test der Schaltung gebraucht würde, unnötig.

#### Patentansprüche

1. Testschaltung, die als Multiplexeranordnung ausgeführt ist, zum Testen von Funktionseinheiten in digitalen integrierten Schaltungen, dadurch gekennzeichnet, daß

- (a) eine Vielzahl von Auswahleinrichtungen (1, 2, 3) vorhanden ist, von denen jede derart ausgeführt ist, daß
  - ein erster, ein zweiter und ein dritter Transistor (10, 11, 12) an ihren Emittern gekoppelt sind und über die Kollektor-Emitter-Strecke eines weiteren Transistors (13) und einen emit-

terseitigen Widerstand (14) mit einem Anschluß für eine erste Versorgungsspannungsquelle (VEE) verbunden sind,

- die Kollektoren des ersten und zweiten Transistors (10, 11) mit einem Anschluß für eine zweite Versorgungsspannungsquelle (VCC) verbunden sind und die Basisanschlüsse der ersten und zweiten Transistoren (10, 11) jeweils Anschlüsse für ein Auswahlsignal (6) und ein zu prüfendes Signal (5) sind,

- (b) bei jeder der Auswahleinrichtungen die Basisanschlüsse der dritten Transistoren (12, 15) mit einem Anschluß für eine dritte Versorgungsspannungsquelle (V1) und die Basisanschlüsse der weiteren Transistoren (13, 18) mit einem Anschluß für eine vierte Versorgungsspannungsquelle (V2) verbunden sind,

- (c) die Kollektoren der dritten Transistoren (12, 15) jeder der Auswahleinrichtungen miteinander verbunden sind und über einen Widerstand (16) mit dem Anschluß für die zweite Versorgungsspannungsquelle (VCC) verbunden sind.

2. Testschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Anschluß für die vierte Versorgungsspannungsquelle (V2) über einen Widerstand (20) mit dem Anschluß für die erste Versorgungsspannungsquelle (VEE) verbunden ist.

3. Testschaltung nach Anspruch 2, dadurch gekennzeichnet, daß der Kollektor des dritten Transistors (37) mindestens einer der Auswahleinrichtungen (3) mit dem Eingang einer zu testenden bistabilen Kippstufe (32) verbunden ist.

---

Hierzu 2 Seite(n) Zeichnungen

---

FIG 1

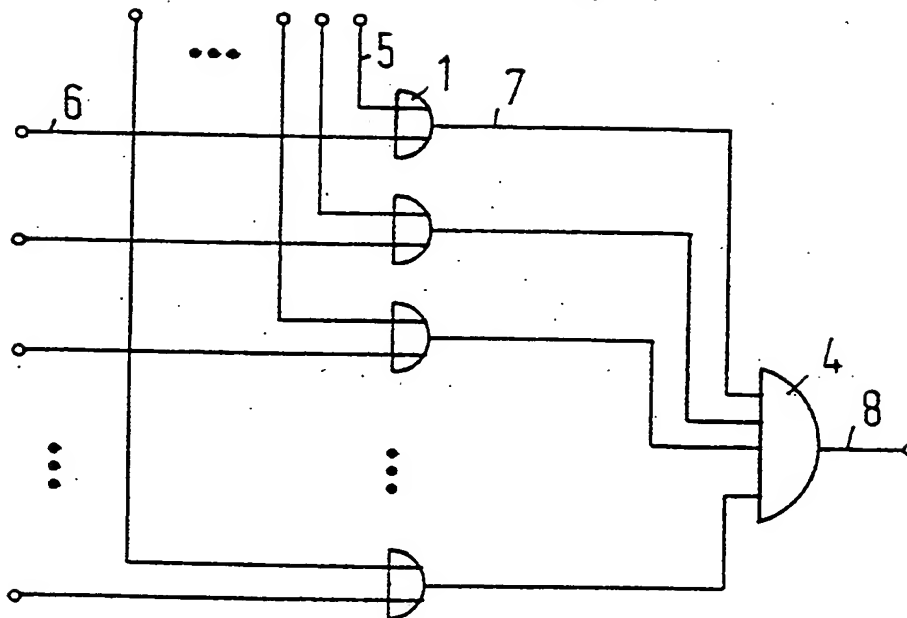
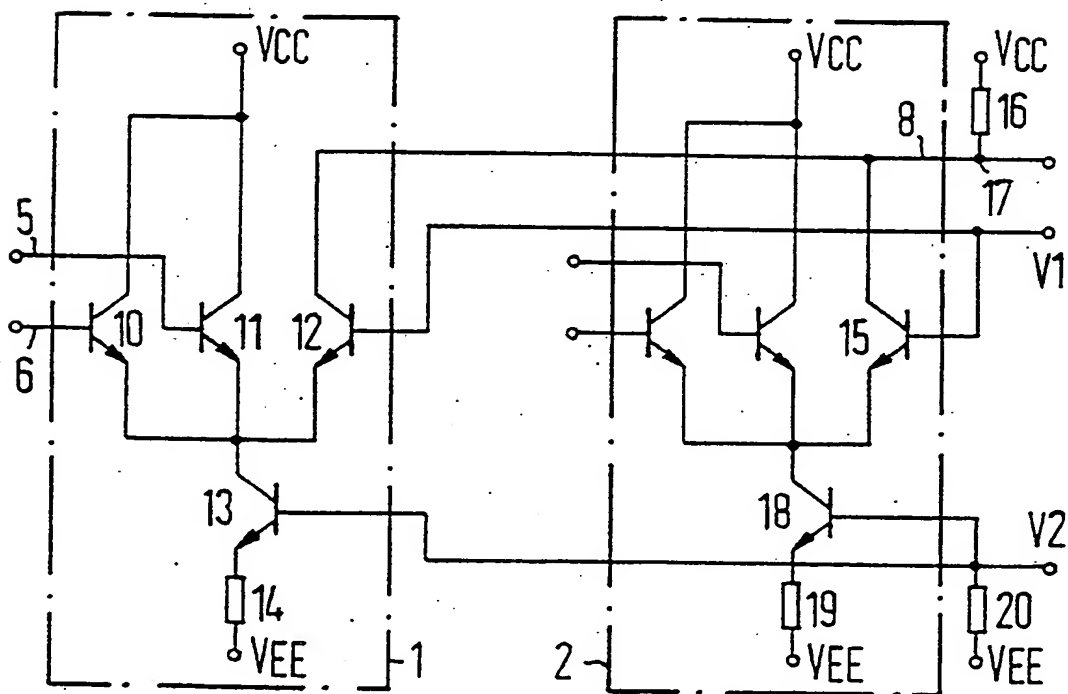


FIG 2 \*



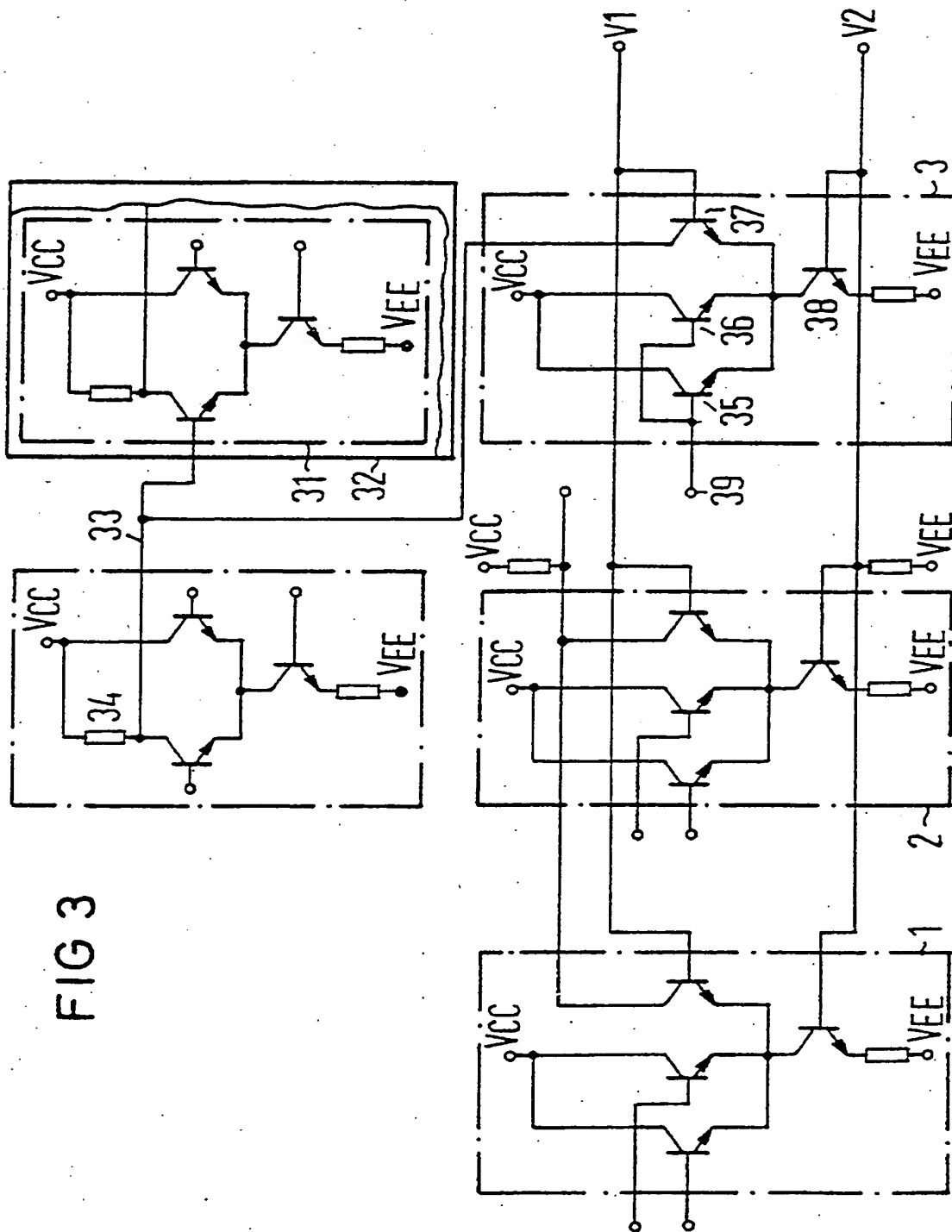


FIG 3